

1/5/5
DIALOG(R) File 347:JAPIO
(c) 2002 JPO & JAPIO. All rts. reserv.

03864939 **Image available**
MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 04-230039 [JP 4230039 A]
PUBLISHED: August 19, 1992 (19920819)
INVENTOR(s): AKASAKA YASUSHI
APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
 (Japan)
APPL. NO.: 02-418768 [JP 90418768]
FILED: December 27, 1990 (19901227)
INTL CLASS: [5] H01L-021/336; H01L-029/784
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
 MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)
JOURNAL: Section: E, Section No. 1299, Vol. 16, No. 579, Pg. 151,
 December 18, 1992 (19921218)

ABSTRACT

PURPOSE: To enable the needless gate electrode part to be easily removed with out fail by a method wherein an etching back material is flatly deposited on the whole surface of a semiconductor substrate as if covering a gate electrode part and then the whole surface of the etching back material is etched back to remove a protective film.

CONSTITUTION: The whole surface of a semiconductor substrate 1 whereon impurity diffused layers 13, 15 are formed is coated with an etching back material 17 such as photoresist etc. so that at least a gate electrode part 11 may be consealed. Next, the upper parts of a silicon oxide film 8 and a sidewall insulating film 12 are removed by anisotropical etching step to expose the surface of a polycrystal film 7. Next, after removing the etching back material 17, a metallic film 19 e.g. a Ti film is deposited on the whole surface of the semiconductor substrate 1. Through these procedures, the silicon oxide film 8 to be the protective film for the polycrystal silicon film 7 can be removed using the etching back step so that the surface of the polycrystal silicon film 7 may be easily exposed without causing any troubles at all.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-230039

(43) 公開日 平成4年(1992)8月19日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/336 29/784		8422-4M	H 0 1 L 29/78	3 0 1 P

審査請求 未請求 請求項の数1(全 6 頁)

(21) 出願番号 特願平2-418768

(22) 出願日 平成2年(1990)12月27日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 赤坂 泰志

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

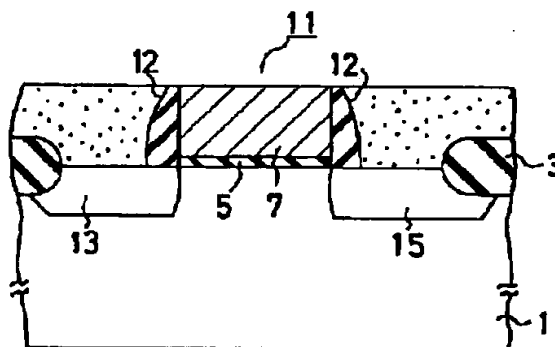
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 本発明は、電極部の不要部分のみを確実に除去することで形成工程の選択幅を広くする。

【構成】 本発明の半導体装置の製造方法は、所定の素子形成加工が施された半導体基板上に電極部を形成する工程と、前記電極部を覆うように前記半導体基板の全面にエッチバック材料を平坦に堆積する工程と、前記エッチバック材料の全面をエッチングして前記電極部の不要部分を除去する工程とを有することを特徴とする



【特許請求の範囲】

【請求項1】所定の素子形成加工が施された半導体基板上に絶縁膜、導電性膜及び保護膜を順次形成する工程と、前記絶縁膜、導電性膜及び保護膜をエッチングしてゲート電極部を形成する工程と、前記ゲート電極部をマスクとして前記半導体基板に不純物イオンを注入して不純物拡散層を形成する工程と、前記ゲート電極部を覆うように前記半導体基板の全面にエッチバック材料を平坦に堆積する工程と、前記エッチバック材料の全面をエッチングして前記保護膜を除去する工程と、を有することを特徴とする半導体装置の製造方法。

【0001】

【発明の詳細な説明】

【0002】

【産業上の利用分野】本発明は、半導体装置の製造方法に係り、特にMOS型電界効果トランジスタのゲート電極部の形成方法に関する。

【0003】

【従来の技術】近年、コンピューターや通信機器の重要部分には、大規模集積回路(LSI)が多用されている。LSI単体の性能を上げる1つの方法は、トランジスタ等のLSI基本素子を微細化してLSIの集積度を高めることである。例えば、MOS型電界効果トランジスタの場合には、ゲート電極と自己整合的にソース、ドレイン不純物拡散層を形成することでゲート電極の工程余裕を小さくして素子の微細化を行っている。この場合、ゲート電極材料にはソース、ドレイン不純物拡散層を形成する際の熱プロセスに耐えることができる多結晶シリコンが用いられている。多結晶シリコンはA1に比べて抵抗が高いので、通常、リン拡散により導電性を改善している。

【0004】しかしながらスケールリング則に従い素子の微細化を行うと、ゲート電極の極薄化により、ソース、ドレイン不純物拡散層を形成する際のイオン注入のときに、ゲート電極がマスクとして機能せず、不純物イオンがゲート電極を突き抜けてゲート絶縁膜やチャネル領域に達し、トランジスタ特性が劣化するという不都合があった。

【0005】図13にはこのような不都合を解決したMOS型電界効果トランジスタの断面図が示されている。

【0006】これを製造工程に従い説明すると、最初、シリコンからなる半導体基板1の表面をフィールド酸化膜3で区分して素子形成領域を形成する。

【0007】次に素子形成領域にゲート絶縁膜5を形成し、このゲート絶縁膜5上に多結晶シリコン膜7及びシリコン酸化膜やシリコン窒化膜などの絶縁膜9とからなる積層膜を形成する。

【0008】次にこの積層膜をゲート電極状にエッチング加工してゲート電極部11を形成する。そしてこのゲート電極部11をマスクとして不純物イオンを半導体基

板1に注入することで自己整合的にソース、ドレイン不純物拡散層13、15を形成する。

【0009】このような製造方法だと、ソース、ドレイン不純物拡散層13、15を形成するために半導体基板1に不純物イオンを打ち込んでも、多結晶シリコン膜7は絶縁膜9により保護されているので、不純物イオンが多結晶シリコン膜7を突き抜けてゲート絶縁膜5やチャネル領域に注入することを防止できる。

【0010】また、他の製造方法を図14を用いて説明する。なお、図13のMOS型電界効果トランジスタと対応する部分には図13と同一符号を付し、詳細な説明は省略する。

【0011】まず、素子形成領域にゲート絶縁膜5、多結晶シリコン膜7を順次形成する。この多結晶シリコン膜7は不純物イオンの突き抜けを防ぐため初めに余裕をもって厚く堆積するのが普通である。

【0012】次に多結晶シリコン膜7をエッチングしてゲート電極状に形成した後、或いはゲート側壁形成後に欠陥除去の目的で酸化を行う。

【0013】次に図13のMOSトランジスタの製造方法と同様に、ゲート電極11をマスクに用いて不純物イオンを半導体基板1に打ち込みソース、ドレイン不純物拡散層13、15を形成する。

【0014】このような製造方法では、多結晶シリコンの酸化速度が単結晶シリコンのそれより速いため、絶縁膜9aの膜厚は、ゲート領域では厚くソース、ドレイン不純物拡散領域上では薄くなる。

【0015】しかしながら上述した製造方法では、どちらの場合も多結晶シリコン7上に絶縁膜9、9aを形成しているので、ゲート電極部11に新たな加工や処理を施す場合には厚い絶縁膜9を除去する必要がある。このため、この絶縁膜9の加工や除去に起因する問題が生じる。例えば、図13のMOSトランジスタにおいて、ゲートの配線抵抗及びソース・ドレインの寄生抵抗の低減を図るためにSALICIDE (Self-aligned Silicide) の技術を用いてソース、ドレイン不純物拡散層13、15上と同時にゲート電極上にもシリサイドを形成する場合には、多結晶シリコン膜7上に金属膜を堆積し、熱酸化させる必要があるため絶縁膜9をエッチング除去しなければならないが、絶縁膜9は厚いのでエッチングの際にフィールド酸化膜3が不要にエッチングされ、接合リークなどに悪影響を及ぼす恐れがある。

【0016】

【発明が解決しようとする課題】上述の如く従来のMOSトランジスタの製造方法では、不純物拡散層を形成するときに、不純物イオンがゲート電極を貫通してゲート絶縁膜やチャネル領域に注入するのを防止するために、ゲート電極上に保護膜を形成していた。或いは途中の酸化工程中に多結晶シリコン膜上に厚い酸化膜が形成され

る。このため、ゲート電極に新たな加工や処理を施す際に保護膜の除去が必要な場合には、製造が複雑になったり、保護膜の除去工程で種々な問題が生じたりする。

【0017】本発明は、上記事情を考慮してなされたもので、その目的とするところは、ゲート電極部の不要部分を確実にしかも容易に除去できる半導体装置の製造方法を提供することにある。

【0018】

【課題を解決するための手段】上記の目的を達成するために本発明の半導体装置の製造方法は、所定の素子形成加工が施された半導体基板上に絶縁膜、導電性膜及び保護膜を順次形成する工程と、前記絶縁膜、導電性膜及び保護膜をエッチングしてゲート電極部を形成する工程と、前記ゲート電極部をマスクとして前記半導体基板に不純物イオンを注入して不純物拡散層を形成する工程と、前記ゲート電極部を覆うように前記半導体基板の全面にエッチバック材料を平坦に堆積する工程と、前記エッチバック材料の全面をエッチングして前記保護膜を除去する工程とを有することを特徴とする。

【0019】

【作用】本発明の半導体装置の製造方法によれば、エッチングで電極部の不要部分を除去する際に電極部の不要部分以外はエッチバック材料により保護されているので、その不要に除去されることはない。また、電極部の不要部分だけを確実に、しかも容易に除去できるのでこの除去工程の前後における工程の選択範囲が広がる。また、シリコン基板とゲート電極との段差が減少するため、以後の配線形成が容易になる。

【0020】

【実施例】以下、図面を参照しながら実施例を説明する。なお、図13、14の従来例と対応する部分には図13、14と同一符号を付し、詳細な説明は省略する。

【0021】図1～図8には本発明の一実施例に係る半導体装置の製造工程断面図が示されている。これは本発明をサリサイド構造のMOS型電界効果トランジスタに適用したものである。

【0022】まず、図1に示す如く、シリコン基板1上に熱酸化によりフィールド酸化膜3を形成した後、この酸化膜3で囲まれた素子形成領域に、不純物イオンを注入してチャネル領域を形成すると共に熱酸化によりゲート絶縁膜5を形成する。

【0023】次に図2に示すようにCVD法を用いてゲート絶縁膜5が形成された半導体基板1上に多結晶シリコン膜7を堆積した後、POCl₃、雰囲気中でこの多結晶シリコン膜7中にリンを拡散させる。次いでこの多結晶シリコン膜7上にCVD法によりシリコン酸化膜8を堆積させ、フォトリソグラフィによりゲート絶縁膜5と多結晶シリコン膜7とシリコン酸化膜8との積層膜をゲート電極状にパターンニングしてゲート電極部11を形成する。

【0024】次に図3に示すようにシリコン酸化膜、シリコン窒化膜等の絶縁膜材料を全面に堆積し、この絶縁膜材料を異方性エッチングで加工してゲートの側壁に側壁絶縁膜12を形成する。次いでゲート電極部11、側壁絶縁膜12をマスクとして半導体基板1に不純物イオンを打ち込み、この基板1の表面をランプアニール等で不純物イオンを熱拡散させてソース、ドレイン不純物拡散層13、15を形成する。

【0025】次に図4に示すように不純物拡散層13、15が形成された半導体基板1の全面にゲート電極部11が少くとも隠れる程度にフォトレジストなどのエッチバック材料17を塗布する。

【0026】次に図5に示すように異方性エッチングによりシリコン酸化膜8、側壁絶縁膜12の上部を除去して多結晶シリコン膜7の表面を露出させる。

【0027】次に図6に示すようにエッチバック材料17を除去した後、半導体基板1の全面にスパッタリング法を用いて金属膜19例えばTi膜を30～40nm程度の厚さに堆積する。

【0028】次に図7に示すようにN₂又はAr雰囲気中で600～750℃程度のRTA(Rapid Thermal Annealing)を行うことで、金属膜19と多結晶シリコン膜7及び不純物拡散層13、15とを反応させシリサイド層21a、21bを形成する。ここで、19aは反応せずに残った金属膜19である。

【0029】次に図8に示すようにアンモニアと過酸化水素水と水との混合液等を用いて未反応の金属膜19aを選択的に除去する。次いで、900℃程度のRTAを行いシリサイド層21a、21bを低抵抗化させる。

【0030】最後に、基板1上に層間絶縁膜、コンタクトホールを設けた後、配線を形成してMOS型電界効果トランジスタが完成する。

【0031】このような製造方法だと、多結晶シリコン膜7上に設けられたシリコン酸化膜8により、不純物拡散層13、15形成の際に不純物イオンが多結晶シリコン膜7を貫通してゲート絶縁膜やチャネル領域に注入されるのを防止できるのは勿論のこと、シリコン酸化膜8の除去は基板全面に塗布されたエッチバック材料17を全面エッチングすることで行っているのが容易になる。また、従来のようにフィールド酸化膜3が不要にエッチングされ大幅に後退することもない。このためサリサイド工程を行なっても接合リークの増加を防ぐことができる。また、この工程はゲート上のみを選択的に除去するため、基板シリコン上、ゲート電極上端の段差を減少させ、後の配線工程を容易にするという利点もある。更に、シリコン酸化膜8を上述した方法で除去したことで、不純物拡散層13、15を形成した後、図6～図8のサリサイド工程に移らず他の工程に行うことも容易にできるという利点がある。

5

【0032】かくして本実施例では、多結晶シリコン膜7の保護膜となるシリコン酸化膜8をエッチバック法を用いて除去することにより不都合を招くことなく容易に多結晶シリコン膜7の表面を露出することができ、もって信頼性の高いサリサイド構造のMOSトランジスタを容易に製造することができる。

【0033】図9～図11には本発明の第2の実施例に係る半導体装置の製造工程断面図が示されている。なお、図1～図8の第1の実施例と対応する部分には図1～図8と同一符号を付し、詳細な説明は省略する。

【0034】最初、図9に示すように半導体基板1の素子形成領域上にゲート絶縁膜5、ゲート電極部11、即ち絶縁膜及び不純物拡散層13、15を第1の実施例と同様な方法を用いて形成した後、全面にエッチバック材料17を塗布する。

【0035】次に図10に示すようにエッチバック材料17の全面に異方性エッチングを施してシリコン酸化膜8の表面を露出させる。

【0036】次に図11に示すようにエッチング条件を多結晶シリコン膜7とシリコン酸化膜8とのエッチング選択比が十分大きくなるように選び、等方性のドライエッチングよりシリコン酸化膜8のみを除去する。

【0037】この後、第1の実施例で説明した図6以降と同様な製造工程を経てサリサイド構造のMOSトランジスタが完成する。

【0038】このような製造方法でも先に説明した実施例と同様な効果が得られるのは勿論のこと、シリコン酸化膜8の表面が露出した後、選択的にシリコン酸化膜8を除去しているので多結晶シリコン膜7のダメージが少なくて済み信頼性がより高くなる。また、多結晶シリコン膜7の表面に段差ある場合でも基板1上に位置によって多結晶シリコン膜7の厚さが変わらないという利点もある。

【0039】なお、本発明は上述した実施例に限定されるものではない。例えば第1の実施例では多結晶シリコン膜7上にシリコン酸化膜8をCVD法を用いて形成したが、熱酸化法を用いて形成しても良い。また、同実施例では側壁絶縁膜12の形成、不純物イオンの注入、不純物イオンの熱拡散という工程順序で不純物拡散層13、15を形成したが、その順序はトランジスタの信頼性や電流駆動力等の都合により適宜変えても良い。更に同実施例において多結晶シリコン膜7の表面を露出させた後に、Si、Ge等のIVb族元素、Ar、Xe等の不活性元素、多結晶シリコン膜7と同導電型の不純物元素及びその化合物等のイオンを、エッチバック材料17をマスクにして多結晶シリコン膜7に打ち込み、その表面をアモルファス化することでシリサイド層21a、21bの形成速度を早めることができる。

【0040】また、第2の実施例ではドライエッチングによりシリコン酸化膜8を除去したが、HF系のエッチ

6

ング液等を用いたウェットエッチングによりシリコン酸化膜8をしても良い。

【0041】また、図3の工程の後にソース、ドレイン不純物拡散層13、15上にシリコン膜22を選択成長させた後、図4～図8の工程を実施すれば図12に示すように段差は更に縮小される。

【0042】なお、上記実施例では多結晶シリコン膜8上及びその側壁の絶縁膜は異なる材料でそれぞれ形成したが、必要に応じて同じ材料で形成しても良い。また、多結晶シリコン膜7の保護膜の材料としてシリコン酸化膜8を用いたが、エッチング条件を適宜変える等すれば他の材料、例えばシリコン窒化膜等を用いても同様な効果を得ることができる。更にまた、上記実施例では多結晶シリコン膜7と絶縁膜5、8との積層構造について説明したが、本発明は任意の積層構造或いは単相構造の半導体装置にも適用できる。そして異方性エッチングと等方性エッチングを適宜組み合わせることによりゲート電極部上の段差を減少させたりゲート電極部の厚みを一定に保つことができ、これにより前後の工程、例えば多層配線の形成工程を考慮すると従来より自由な製造工程を構成することができる。その他、本発明の要旨を逸脱しない範囲で種々変形して実施できる。

【0043】

【発明の効果】以上述べたように本発明の半導体装置の製造方法によれば、電極部の不要部分のみを容易にしかも確実に除去できるので、電極部の加工前後の工程の自由度が高まる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る半導体装置の製造工程断面図

【図2】本発明の一実施例に係る半導体装置の製造工程断面図。

【図3】本発明の一実施例に係る半導体装置の製造工程断面図。

【図4】本発明の一実施例に係る半導体装置の製造工程断面図。

【図5】本発明の一実施例に係る半導体装置の製造工程断面図。

【図6】本発明の一実施例に係る半導体装置の製造工程断面図。

【図7】本発明の一実施例に係る半導体装置の製造工程断面図。

【図8】本発明の一実施例に係る半導体装置の製造工程断面図。

【図9】本発明の一実施例に係る半導体装置の製造工程断面図。

【図10】本発明の一実施例に係る半導体装置の製造工程断面図。

【図11】本発明の一実施例に係る半導体装置の製造工程断面図。

7

8

【図12】本発明の他の実施例に係る半導体装置の製造工程断面図。

【図13】従来の半導体装置の断面図。

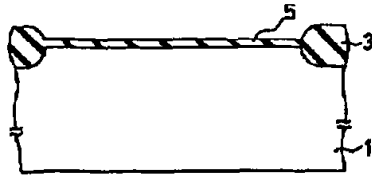
【図14】従来の半導体装置の断面図。

【符号の説明】

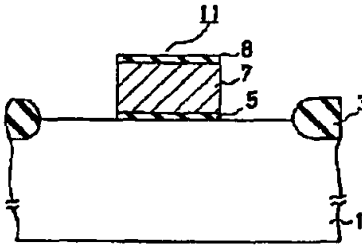
1…半導体基板、3…フィールド酸化膜、5…ゲート絶

縁膜、7…多結晶シリコン膜、8…シリコン酸化膜、11…ゲート電極部、12…側壁絶縁膜、13…ソース不純物層拡散層、15…ドレイン不純物層拡散層、17…エッチバック材料、19、19a…金属膜、21a、21b…シリサイド層、22…シリコン膜。

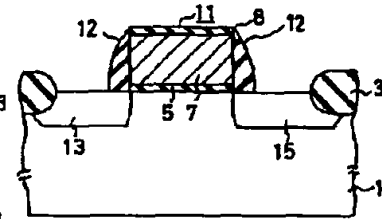
【図1】



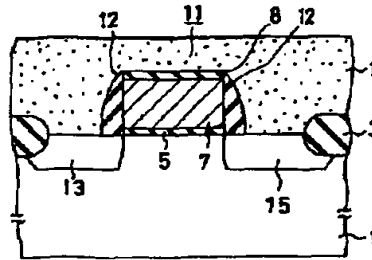
【図2】



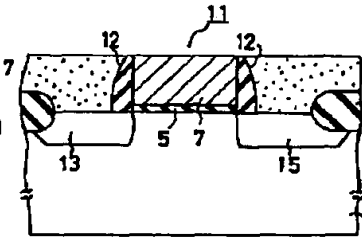
【図3】



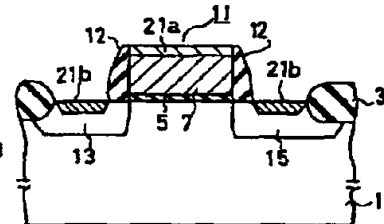
【図4】



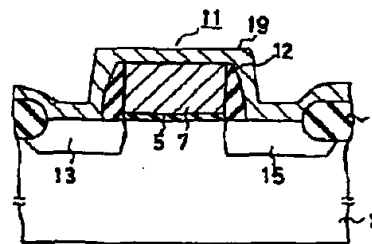
【図5】



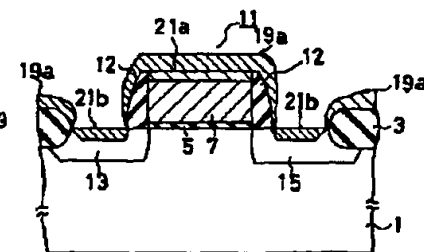
【図8】



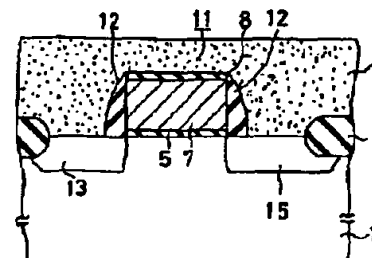
【図6】



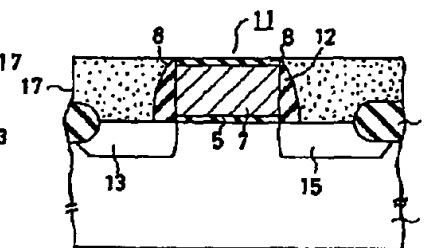
【図7】



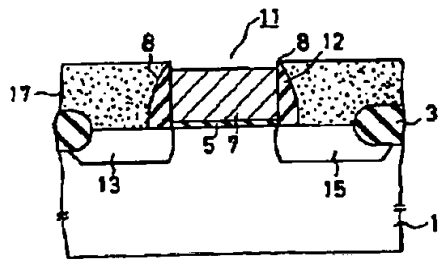
【図9】



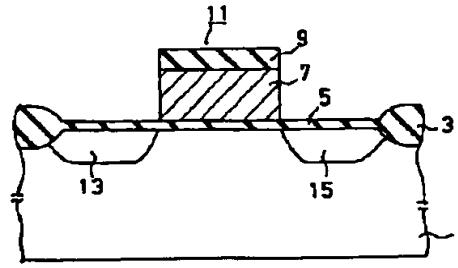
【図10】



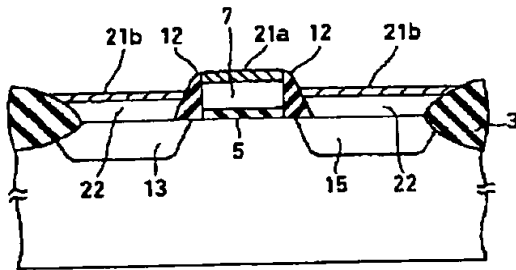
【図11】



【図13】



【図12】



【図14】

